

DIGITAL SIGNAL TRANSMITTER

Publication number: JP11098402

Publication date: 1999-04-09

Inventor: YASUI TOSHIYUKI; WADA SATOAKI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: H04N5/232; H04N7/08; H04N7/081; H04N7/10;
H04N5/232; H04N7/08; H04N7/081; H04N7/10; (IPC1-
7): H04N5/232; H04N7/08; H04N7/081; H04N7/10

- european:

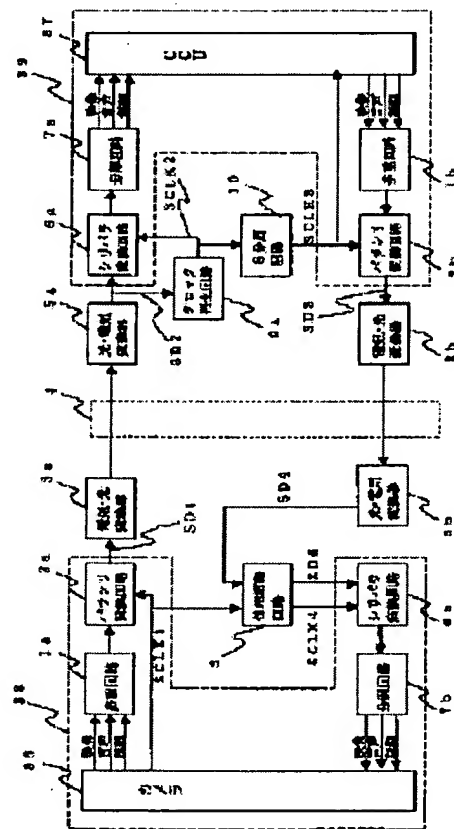
Application number: JP19970253822 19970918

Priority number(s): JP19970253822 19970918

Report a data error here

Abstract of JP11098402

PROBLEM TO BE SOLVED: To obtain a transmitter with a small circuit scale at a low cost by reducing the number of synchronization clock generating circuits for data reception in the digital signal transmitter that sends a digital signal in two-way between two video equipments. **SOLUTION:** Relating to the device that sends data multiplexing a video signal, an audio signal and a control signal in two-way between a camera 36 and a CCU 37, the CC 37 side generates a serial clock SCLK 3 of a parallel serial conversion circuit 2b to generate transmission data to the camera 36 by frequency-dividing a serial clock SCLK2 used for applying serial parallel conversion to the data received at the CCU 37 at a frequency divider circuit 10. Then the camera 36 side generates input data SD5 and a serial clock SCLK4 of a serial parallel conversion circuit 6b that processes received data into parallel data based on a serial clock SCLK1 used for generating reception data SD4 at the camera 36 side and transmission data to the CCU 37 at a phase adjustment circuit 8.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

特開平11-98402

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 N 5/232
7/08
7/081
7/10H 0 4 N 5/232
7/10
7/08B

Z

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平9-253822

(22) 出願日 平成9年(1997) 9月18日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 安井 敏之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 和田 学明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

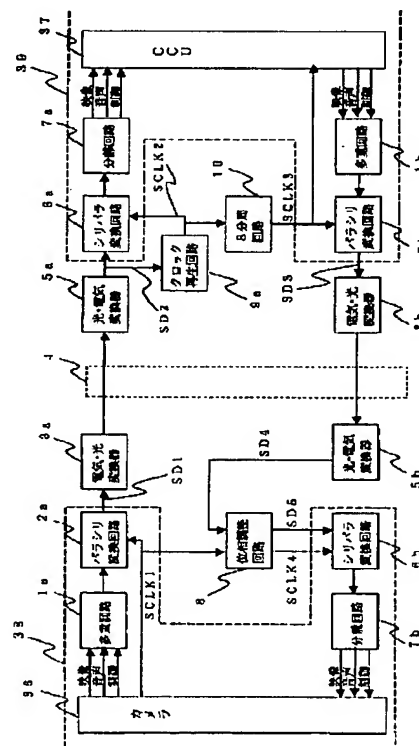
(74) 代理人 弁理士 池内 寛幸 (外 2 名)

(54) 【発明の名称】 デジタル信号伝送装置

(57) 【要約】

【課題】 2つの映像機器間でデジタル信号を双方向伝送するデジタル信号伝送装置において、データ受信用の同期クロック生成回路の数を低減し、回路規模が小さく、低コストな装置を供給する。

【解決手段】 映像信号、音声信号、制御信号を多重化したデータをカメラ36とCCU37の間で双方向伝送する装置において、CCU側では、カメラ36への送信データを生成するパラシリ変換回路2bのシリアルクロックSCLK3を、CCU側で受信したデータをシリパラ変換する時に使用するシリアルクロックSCLK2を分周回路10で分周して生成し、カメラ36側では、受信データをパラレル化するシリパラ変換回路6bの入力データSD5及びシリアルクロックSCLK4を、カメラ36側の受信データSD4とCCU37への伝送データの生成に用いるシリアルクロックSCLK1を基に位相調整回路8で生成する。



【特許請求の範囲】

【請求項 1】 第 1 の機器から出力される第 1 のシリアルデータと第 2 の機器から出力される第 2 のシリアルデータとを伝送路を介して双方向に伝送するデジタル信号伝送装置であって、前記第 1 の機器において前記第 2 のシリアルデータの受信に使用する同期シリアルクロックを n 分周 (n は自然数) として生成することを特徴とするデジタル信号伝送装置。

【請求項 2】 第 1 の機器から出力される第 1 のシリアルデータと第 2 の機器から出力される第 2 のシリアルデータとを伝送路を介して双方向に伝送するデジタル信号伝送装置であって、前記第 1 の機器において、前記第 2 のシリアルデータの受信に使用する同期シリアルクロックを、前記第 1 のシリアルデータの送信に使用する同期シリアルクロックを n 分周 (n は自然数) して生成し、前記第 2 の機器において、前記第 2 のシリアルデータの送信に使用する同期シリアルクロックを、前記第 1 のシリアルデータの受信に使用する同期シリアルクロックを n 分周して生成することを特徴とするデジタル信号伝送装置。

【請求項 3】 前記第 1 の機器において、映像信号、音声信号、制御信号を多重化して前記第 1 のシリアルデータを生成する請求項 1 又は 2 に記載のデジタル信号伝送装置。

【請求項 4】 前記第 1 の機器において、映像信号、音声信号、制御信号を多重化して前記第 1 のシリアルデータを生成し、前記第 2 の機器において、映像信号、音声信号、制御信号を多重化して前記第 2 のシリアルデータを生成する請求項 1 又は 2 に記載のデジタル信号伝送装置。

【請求項 5】 前記第 1 の機器をテレビカメラとし、前記第 2 の機器をカメラコントロールユニットとした請求項 1 又は 2 に記載のデジタル信号伝送装置。

【請求項 6】 前記伝送路が複数あり、前記第 1 のシリアルデータと、前記第 2 のシリアルデータをそれぞれ別の伝送路を介して伝送する請求項 1 又は 2 に記載のデジタル信号伝送装置。

【請求項 7】 前記第 1 のシリアルデータ及び前記第 2 のシリアルデータを、それぞれ異なる周波数帯を使用することにより、一本の伝送路を介して双方向に伝送する請求項 1 又は 2 に記載のデジタル信号伝送装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、2 つの映像機器間で伝送路を介して双方向にデジタル信号を伝送するデジタル信号伝送装置に関する。

【0002】

【従来の技術】 従来、テレビカメラとカメラコントロールユニット (以下 C C U と略記する) など 2 つの映像機器間でケーブルを介してデジタル化された映像信号、

音声信号、制御信号を双方向に伝送する装置として光伝送装置がある。従来装置の例として、特開平 8-125903 号公報に開示されたものがある。図 10 は、この従来のデジタル信号伝送装置の構成を示すものである。図 10 において、36、37 はそれぞれカメラ、C C U であり、1a 及び 1b は入力された複数のデジタル信号を時分割多重して 1 つの信号に多重化する多重回路、2a 及び 2b はデジタルのパラレルデータをシリアルデータに変換するパラシリ変換回路、3a 及び 3b は入力された電気信号を光信号に変換する電気・光変換器、4 は光信号を減衰なく通す光ケーブル、5a 及び 5b は入力された光信号を電気信号に変換する光・電気変換器、6a 及び 6b はシリアルデータをパラレルデータに変換するシリパラ変換回路、7a 及び 7b は多重された 1 つの信号からそれぞれの信号を分離して取り出す分離回路である。9a 及び 9b は入力されたデジタルデータからこれに同期したクロックを生成するクロック再生回路である。

【0003】 クロック再生回路 9a、9b の構成を図 2 に示す。図 2 において、11 は位相比較器であり、入力される 2 つのデジタル信号 (データやクロック) の位相を比較し、その結果に応じてローレベルあるいはハイレベルを出力する。12 は積分回路であり、入力されるパルス波形のデューティに対応した直流電圧を発生する。13 は入力された電圧レベルに対応した周波数のクロックを発生させる電圧制御発振器 (Voltage Control Oscillator. 以下、V C O と略記する) である。従って、これら位相比較器 11、積分回路 12、V C O 13 は位相ロックループ (Phase Lock Loop. 以下、P L L と略記する) を構成しており、入力端子 14 から入力されるデータに同期したクロックが出力端子 15 から出力される。

【0004】 次に、以上のように構成された従来のデジタル信号伝送装置の動作について説明する。ここでは、以後、カメラから C C U 側への信号伝送を本線系、C C U からカメラ側への信号伝送をリターン系といい、それぞれに分けて説明する。

【0005】 まず、本線系の動作について説明する。カメラ 36 からデジタル化された映像、音声、制御の各信号が多重回路 1a に入力され、ここで 1 つの信号に多重化される。映像信号は 10 ビットデータであり、そのデータレートは、ここでは、輝度信号 Y、色差信号 P b、P r それぞれについて、18、9、9 M H z とする。多重化のフォーマットとしては例えば映像信号は 4 : 2 : 2 のシリアルインタフェース規格に従い、音声信号、制御信号は映像信号の水平ブランキング期間にパケット化して挿入しておく。よって、多重化後のデータは 10 ビットでそのレートは 36 M H z となる。この多重化されたデータとカメラ 36 から供給されるシリアルクロック S C L K 1 がパラシリ変換回路 2a に入力され、

データはシリアル化されて1ビット、360MbpsのシリアルデータSD1となって電気・光変換器3aに入力されて光信号に変換される。この光信号は、光ケーブル4を介してCCU37側へ送信され、光・電気変換器5aで360MbpsのシリアルデータSD2にもどされる。信号SD2はシリパラ変換回路6a及びクロック再生回路9aに入力され、クロック再生回路9aでは、PLL動作により入力データであるSD2に同期した360MHzのシリアルクロックSCLK2が生成される。シリパラ変換回路6aでは、この再生されたシリアルクロックSCLK2を用いて、シリアルデータSD2を元の10ビット、36MHzの平行データに変換する。分離回路7aでは、この多重化された平行データから元の映像、音声、制御の各信号をそれぞれ分離して取り出し、CCU37へ入力する。

【0006】リターン系信号の伝送についても、その動作は同様であるが、映像信号、音声信号については、カメラ側で確認用として用いるだけなので本線系の場合に比べてそのデータレートは低くてよく、本線系のシリアルクロックSCLK1及びSCLK2、シリアルデータSD1及びSD2にそれぞれ対応したリターン系のシリアルクロックSCLK5及びSCLK6、シリアルデータSD6及びSD7のレートはそれぞれ例えばここでは360Mbpsの8分の1の45MHz、45Mbpsとする。

【0007】以上のようにして、カメラ側とCCU側でデジタル化された映像、音声、制御の各信号をそれぞれ双方向に伝送しているので、両機器間の距離に関係なく、高品質な映像信号、音声信号が得られ、また、信頼性の高いカメラ制御が実現される。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、本線系、リターン系において、共にデータ受信側でVCOを用いたクロック再生回路を設ける必要があり、回路規模が大きくなり、かつコストがかかるという問題を有していた。

【0009】本発明は上記従来の問題点を解決するもので、従来装置より回路規模が小さく、低コストなデジタル信号伝送装置を供給することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明に係るデジタルの信号伝送装置は、第1の機器から出力される第1のシリアルデータと第2の機器から出力される第2のシリアルデータとを伝送路を介して双方向に伝送するデジタル信号伝送装置であって、前記第1の機器において、前記第2のシリアルデータの受信に使用する同期シリアルクロックを、前記第1のシリアルデータの送信に使用する同期シリアルクロックをn分周(nは自然数)して生成し、前記第2の機器において、前記第2のシリアルデータの送信に使用する同期

シリアルクロックを、前記第1のシリアルデータの受信に使用する同期シリアルクロックをn分周して生成することを特徴とする。

【0011】かかる構成により、本線系、リターン系の双方において、データ受信側でVCOを用いたクロック再生回路を設ける必要がなく、回路規模が小さく、低コストなデジタル信号伝送装置とすることができる。

【0012】また、本発明にかかるデジタル信号伝送装置は、前記第1の機器において、映像信号、音声信号、制御信号を多重化して前記第1のシリアルデータを生成し、前記第2の機器において、映像信号、音声信号、制御信号を多重化して前記第2のシリアルデータを生成することが好ましい。

【0013】かかる構成により、映像信号、音声信号、制御信号の複数のデータについて双方向通信できるデジタル信号伝送装置とすることができる。

【0014】また、本発明にかかるデジタル信号伝送装置は、前記第1の機器をテレビカメラとし、前記第2の機器をカメラコントロールユニットとすることが好ましい。

【0015】かかる構成により、テレビカメラとCCUの2つの映像機器間でケーブルを介して双方向通信できるデジタル信号伝送装置とすることができる。

【0016】また、本発明にかかるデジタル信号伝送装置は、前記伝送路が複数あり、前記第1のシリアルデータと、前記第2のシリアルデータをそれぞれ別の伝送路を介して伝送することが好ましい。

【0017】かかる構成により、前記第1のシリアルデータの伝送路と前記第2のシリアルデータの伝送路が独立しているのでそれぞれの信号を抽出・分離する必要がなく、回路構成を簡単にすることができる。

【0018】また、本発明にかかるデジタル信号伝送装置は、前記第1のシリアルデータ及び前記第2のシリアルデータを、それぞれ異なる周波数帯を使用することにより、一本の伝送路を介して双方向に伝送することが好ましい。

【0019】かかる構成により、本線系通信、リターン系通信を一本の伝送路を共用して行うことができ、伝送路のコストを低減させることができる。

【0020】

【発明の実施の形態】

(実施形態1) 以下、本発明の実施形態1について、図1及び図3を参照しながら説明する。

【0021】図1は実施形態1に係るデジタル信号伝送装置の構成を示す図であり、従来例と同じ構成要素には同じ符号を与えており、ここではその詳細な説明は省略する。38はシリアルデータが入出力される第1の機器であり、カメラ36、多重回路1a、パラシリ変換回路2a、分離回路7b、シリパラ変換回路6bで構成される。また、39はシリアルデータが入出力される第2

の機器であり、CCU37、シリパラ変換回路6a、分離回路7a、パラシリ変換回路2b、多重回路1bで構成される。

【0022】図1に示すように、本線系信号の伝送に関する構成は従来例と同じであるのでその説明を省略し、リターン系の構成について説明する。1bは多重回路、2bはパラシリ変換回路、10は、入力されたクロックを8分周する分周回路である。本実施形態1では、本線系のシリアルクロックSCLK2が分周回路10に入力され、その出力がシリアルクロックSCLK3としてパラシリ変換回路2b及びCCU37に入力されるよう構成されている。CCU37では、入力されたシリアルクロックSCLK3をマスタークロックとして、アナログの映像、音声、制御の各信号をAD変換し、デジタル化された映像、音声、制御の各信号を出力している。パラシリ変換回路2bは、従来例と同様、電気・光変換器3bに接続され、更にこの電気・光変換器3bは光ケーブル4を介して受信側の光・電気変換器5bに接続されている。8は位相調整回路であり、本線系のシリアルクロックSCLK1と光・電気変換器5bから出力されるシリアルデータSD4が入力され、位相調整されたシリアルデータSD5と、これに同期したシリアルクロックSCLK4をシリパラ変換回路6bに出力する。

【0023】次に、位相調整回路8の構成について詳しく説明する。図3は位相調整回路8の構成図であり、17はシリアルデータが入力される入力端子であり、リターン系のシリアルデータSD4が入力される。27はシリアルクロックが入力される入力端子であり、本線系のシリアルクロックSCLK1が入力される。18a、18b、18cはDフリップフロップ、19は排他論理和ゲートである。20は3ビットのカウンタで、CKはクロック入力端子、CLRはクリア入力端子QA、QB、QCはそれぞれクロックを2分周、4分周、8分周して得られるクロックの出力端子である。21a、21b、21cはインバータ、22は否定論理和ゲート、23は論理和ゲート、24a、24bは論理積ゲート、25は論理和ゲート、26は位相調整後のシリアルデータSD5が出力される出力端子、28はこれに同期したシリアルクロックSCLK4の出力端子である。入力端子27はDフリップフロップ18a、18b、18c、3ビットカウンタ20のクロック入力に接続されている。入力端子17はDフリップフロップ18aのD入力端子に、出力端子26はDフリップフロップ18cの出力端子に、出力端子28は3ビットカウンタの8分周出力端子QCにそれぞれ接続されている。また、16は入力セレクト付きのラッチであり、Dフリップフロップ18aから出力されるデータに対し、否定論理和ゲート22の出力パルスの立ち上がりタイミングでラッチを行い、ラッチ後のデータを出力端子26から出力するよう構成されている。

【0024】再び、図1にもどり、ディジタル信号伝送装置の構成について説明する。6bはシリパラ変換回路であり、位相調整回路8から出力されるシリアルデータSD5とシリアルクロックSCLK4が入力され、シリアルデータSD5をシリパラ変換する。以下、シリパラ変換回路6bの出力が分離回路7bに入力され、その出力がカメラに入力される構成は従来と同じである。

【0025】次に、上記のように構成された実施形態1に係るディジタル信号伝送装置の動作について説明する。本線系の動作は従来と同じであるから、ここではその説明を省略し、リターン系の動作について説明する。

【0026】CCU37から多重回路1bに前述のようにデジタル化された映像、音声、制御の各信号が入力され、本線系と同じ形式で1つの信号に多重される。ここで、映像信号のビット数は10ビット、データレートは、本線系の8分の1とし、輝度信号Y、色差信号Pb、Prを2.25、1.125、1.125MHzとすると、多重化後のデータレートは4.5MHzとなる。また、分周回路10では、クロック再生回路9aから入力される360MHzのシリアルクロックSCLK2を8分周して45MHzのシリアルクロックSCLK3を生成する。パラシリ変換回路2bでは、このシリアルクロックSCLK3を用いて上記4.5MHz・10ビットの多重データを45MbpsのシリアルデータSD3に変換する。ここで、パラシリ変換回路2bに入力される上記多重データは、もともとシリアルデータSD3をマスタークロックとして生成されたデータからなるので、シリアルデータSD3でラッチするのに適切な位相関係にあることが保証されている。シリアルデータSD3は、電気・光変換器3bで光信号に変換された後、光ケーブル4を介して受信側の光・電気変換器5bに入力されて、再び電気信号に変換される。そしてこのシリアルデータSD4と、本線系シリアルクロックSCLK1が、位相調整回路8に入力される。

【0027】次にこの位相調整回路8の動作について図3、図4を用いて詳細に説明する。図4は位相調整回路8の動作を説明する図であり、a～iはそれぞれ前述した図3の構成図の各部におけるパルス波形を示す。aは入力端子17に入力されるシリアルデータSD4の波形で、45MHz周期に各データD1、D2、D3、・・・が順次配列されている。bは入力端子27に入力されるシリアルクロックSCLK1の波形であり、360MHzのレートである。cはDフリップフロップ18aの出力波形、dは排他論理和ゲート19の出力波形、e、f、gはそれぞれ3ビットカウンタ20の出力端子QA、QB、QCにおける出力波形、hは否定論理和ゲート22の出力波形、iは出力端子26の出力波形である。ここで、aはリターン系、bは本線系であるため互いの位相は一致していないが、aをbでラッチして得られるcはbに同期した波形となる。一方、dはこのcの

データ変化点のエッジごとにローレベルとなるリセットパルスとして3ビットカウンタ20をクリアする。従って、3ビットカウンタの出力であるgすなわちシリアルクロックSCLK4とcの位相関係は一意に決まる。また、hは45MHzごとにハイレベルとなるパルスであり、図4に示すようにその位相はdに一致する。hはセレクト付きラッチ16のセレクト信号であるので、cとcをラッチして得られるシリアルデータSD5の位相関係もまた同様に一意に決まる。この結果、位相調整回路8から出力されるシリアルデータSD5とシリアルクロックSCLK4は図4のiとgに示すように常に安定してラッチが行うことにより、位相が調整された信号となる。

【0028】上記のようにして得られたシリアルデータSD5とシリアルクロックSCLK4がシリパラ変換回路6bに入力されてシリパラ変換が行われる。シリパラ変換で得られるパラレルデータである多重化データは分離回路7bに入力され、元の映像信号、音声信号、制御信号に分離された後、カメラ36に入力される。

【0029】このように、カメラとCCUの間で、映像、音声、制御の各信号をそれぞれ本線系及びリターン系として双方向に伝送する伝送装置において、CCU側で本線系のシリアルクロックを分周してリターン系のシリアルクロックを生成し、カメラ側においてリターン系のシリアルクロックを、カメラ側の本線系シリアルクロックを基に生成するように構成することで、カメラ側においてクロック再生のためのPLL回路が不要となり、装置の回路規模を削減でき、しかもVCOなどの高価な部品の数も削減できるので装置の低コスト化を図ることができる。また、カメラ側、CCU側共に、本線系のクロックを分周してリターン系のクロックを生成しているので両者のクロックの周波数比は、精度良く整数値となり、クロック周波数のわずかな違いにより伝送後画像に発生するビート妨害を抑圧することができる。

【0030】なお、本実施形態では、ケーブルとして光ケーブルを用いたが、本線系とリターン系のデータを互いに独立した伝送路で結ぶものであれば電気信号を通すものでもよく、その場合、電気・光変換器や光・電気変換器は不要となる。

【0031】なお、本実施形態では第1の機器、第2の機器としてそれぞれカメラ、CCUを含んだものを考えたが、シリアル信号を入出力するものであればどのようなものでも良く、従って、伝送する信号として、映像信号、音声信号、制御信号以外のものであっても、同様な効果を得ることができる。

【0032】（実施形態2）次に、本発明に係る実施形態2について図5～図9を参照しながら説明する。

【0033】図5は実施形態2に係るデジタル信号伝送装置の構成を示す図であり、実施形態1と同じ構成要素には同じ符号を与えており、その詳細な説明は省略す

る。図5において、29はケーブルドライブ回路であり、低インピーダンスのケーブルを十分ドライブすることができるバッファで構成される。30t及び30rは、入力信号の周波数帯域を遮断周波数fC(MHz)未満に制限する低域通過フィルタ(LPF)である。ここでは、例えば、本線系のシリアルデータSD1のデータレートが前述の実施形態1と同じ360Mbpsであるとする、図6の(a)に示すように遮断周波数fCが360MHzであるものを低域通過フィルタ30t及び30rとして用いる。35は同軸ケーブルであり、実施形態1と異なり、本実施形態では、本線系及びリターン系共に共通の信号線を伝送路とする。31は波形等化回路である。図7に示すように、一般に同軸ケーブルの周波数特性は高域ほど減衰が大きくなるので、これによる信号振幅の減衰を補償するよう、波形等化回路31には図8に示すゲイン特性をもたせる。33t及び33rは遮断周波数fCが360MHzである高域通過フィルタ(HPF)であり、その周波数特性は図6の(b)に示すように低域通過フィルタ30tと逆になっている。32は変調回路であり、入力されたリターン系のシリアルデータを周波数変調するためのものである。変調方式は、本実施形態2ではAM変調とし、そのキャリア周波数は360MHzより十分大きい値、例えば、500MHzとする。また、34はこの変調回路32に対応した復調回路であり、変調されたリターン系シリアルデータを変調前のベースバンドの周波数帯域の信号に変換するものである。図5のように、本実施形態2では、実施形態1の電気・光変換器3a、3b、光・電気モジュール5a、5bの代わりにそれぞれケーブルドライブ回路29と低域通過フィルタ30t、変調回路32と高域通過フィルタ33t、低域通過フィルタ30rと波形等化回路31、高域通過フィルタ33rと復調回路34に置き換えた構成となっている。

【0034】次に、上記のように構成された本実施形態2に係るデジタル信号伝送装置の動作について、図5及び図9を用いて説明する。図9は、同軸ケーブル35の中を伝送される本線系及びリターン系の信号スペクトラムである。まず、本線系について説明する。カメラ36からデジタル化された映像、音声、制御の各信号が入力され、これらを多重回路1aで時分割多重化した後、パラシリ変換回路2aでシリアルデータに変換してシリアルデータSD1を生成するところまでの処理の流れは実施形態1と同じである。本実施形態2ではシリアルデータSD1はケーブルドライブ回路29を用いて電気信号のまま、低域通過フィルタ30tに入力される。低域通過フィルタ30tでは、図9に示すように入力されたシリアルデータの低域成分が除去された後、その出力が同軸ケーブル35及び低域通過フィルタ30rを介して波形等化回路31に入力される。波形等化回路31において伝送されてきた信号の高域成分が補償されて伝送前の

元の波形が復元され、復元されたデータはシリアルデータSD2としてシリパラ変換回路6aとクロック再生回路9aに入力される。その後は実施形態1と同様にし、伝送後の映像、音声、制御の各信号がCCU37に入力される。

【0035】次に、リターン系について説明する。CCU37から入力された映像、音声、制御の各信号が多重化された後、シリアルデータに変換されるまでの処理の流れは実施形態1と同じである。パラシリ変換回路2bから出力されたシリアルデータSD3は変調回路32に入力され、変調回路32は、 $f_{AM}=500\text{MHz}$ のキャリア成分をシリアルデータSD3により変調する。変調された出力信号のスペクトラムは図8のリターン系データスペクトラムとして示すものになり、高域通過フィルタ33tで減衰を受けることなく、同軸ケーブル35に送り出され、カメラ側の高域通過フィルタ33rを通過して復調回路34に入力される。ここで、変調回路32から出力されたリターン信号は周波数帯域の違いから、同じ同軸ケーブル35に接続された低域通過フィルタ30t及び30rを通過することはない。復調回路34に入力されたリターン信号は、ここで変調前のベースバンドの信号に復調され、シリアルデータSD4として出力される。この後、実施形態1と同様にしリターン系の映像、音声、制御の各信号がカメラ36へ入力される。

【0036】以上のように、本線系シリアルデータ及びリターン系シリアルデータを、それぞれ異なる周波数帯を用いて一本の伝送路を介して双方向に伝送する伝送装置において、カメラ側において、リターン系シリアルデータをベースバンドに復調して得られるシリアルデータに同期したシリアルクロックを、本線系のシリアルクロックを基に生成し、CCUにおいて、リターン系シリアルデータに同期したシリアルクロックを、本線系のシリアルクロックを基に生成するように構成することにより、装置の回路規模削減、低コスト化を図ることができる。

【0037】なお、本実施形態では変調回路32及び復調回路34でAM変調を用いたが、FM変調やQAM変調など、 $f_C(\text{MHz})$ 以上の周波数帯の信号に変調するものを用いてもよい。

【0038】なお、本実施形態では、ケーブルとして同軸ケーブルを用いたが、単一の伝送路を介して機器間を信号伝送するケーブルであれば他のものでもよい。

【0039】

【発明の効果】本発明のデジタル信号伝送装置によれば、本線系、リターン系の双方において、データ受信側でVCOを用いたクロック再生回路を設ける必要がなく、回路規模が小さく、コストを低減することができる。また、映像信号、音声信号、制御信号を多重化することにより伝送信号を生成し、テレビカメラとCCUの2つの映像機器間で映像データを双方向通信することが

できる。

【0040】また、本発明のデジタル信号伝送装置は、伝送路を複数とすることにより、第1のシリアルデータと第2のシリアルデータをそれぞれ別の伝送路を介して伝送することができ、それぞれの信号を抽出・分離する必要がなく、回路構成を簡単にすることができる。また、第1のシリアルデータと第2のシリアルデータをそれぞれ異なる周波数帯を使用して一本の伝送路により双方向通信することができ、本線系通信、リターン系通信を一本の伝送路を共用して行うことにより伝送路のコストを低減させることができる。

【図面の簡単な説明】

【図1】 本発明の実施形態1に係るデジタル信号伝送装置の構成図

【図2】 本発明の実施形態1に係る位相調整回路の構成図

【図3】 本発明の実施形態1に係る位相調整回路の動作を説明する図

【図4】 本発明の実施形態2に係るデジタル信号伝送装置の構成図

【図5】 本発明の実施形態2に係る低域通過フィルタおよび高域通過フィルタの周波数特性を表す図

【図6】 本発明の実施形態2に係る同軸ケーブルの周波数特性を表す図

【図7】 本発明の実施形態2に係る波形等化回路のゲイン特性を表す図

【図8】 本発明の実施形態2に係る信号スペクトラムを表す図

【図9】 従来のデジタル信号伝送装置の構成図

【図10】 従来のクロック再生回路の構成図

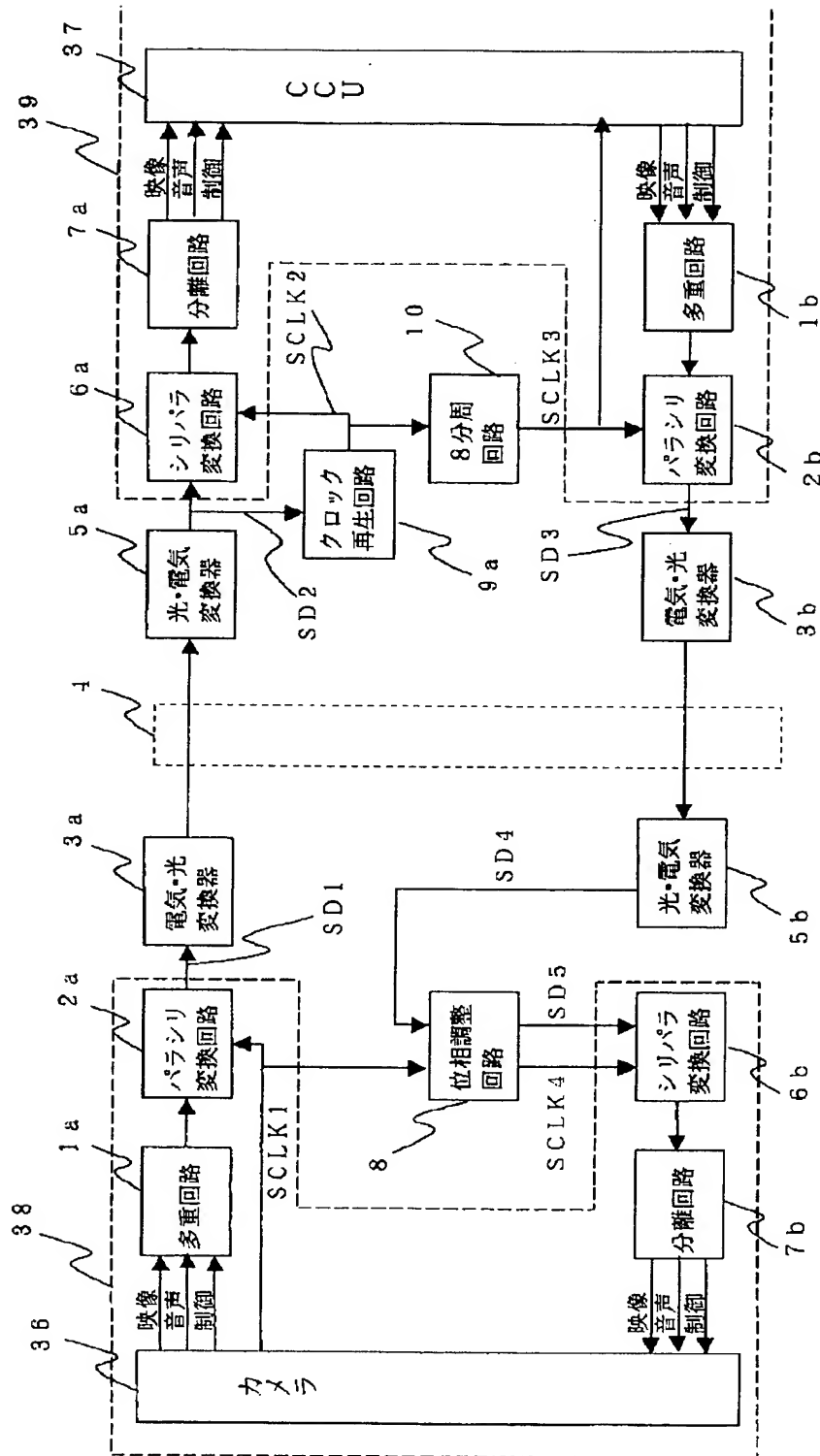
【符号の説明】

- 1a, 1b 多重回路
- 2a, 2b パラシリ変換回路
- 3a, 3b 電気・光変換器
- 4 光ケーブル
- 5a, 5b 光・電気変換器
- 6a, 6b シリパラ変換回路
- 7a, 7b 分離回路
- 8 位相調整回路
- 9a, 9b クロック再生回路
- 10 分周回路
- 16 セレクタ付きラッチ
- 29 ケーブルドライブ回路
- 30t, 30r 低域通過フィルタ
- 31 波形等化回路
- 32 変調回路
- 33t, 33r 高域通過フィルタ
- 34 復調回路
- 35 同軸ケーブル
- 36 カメラ

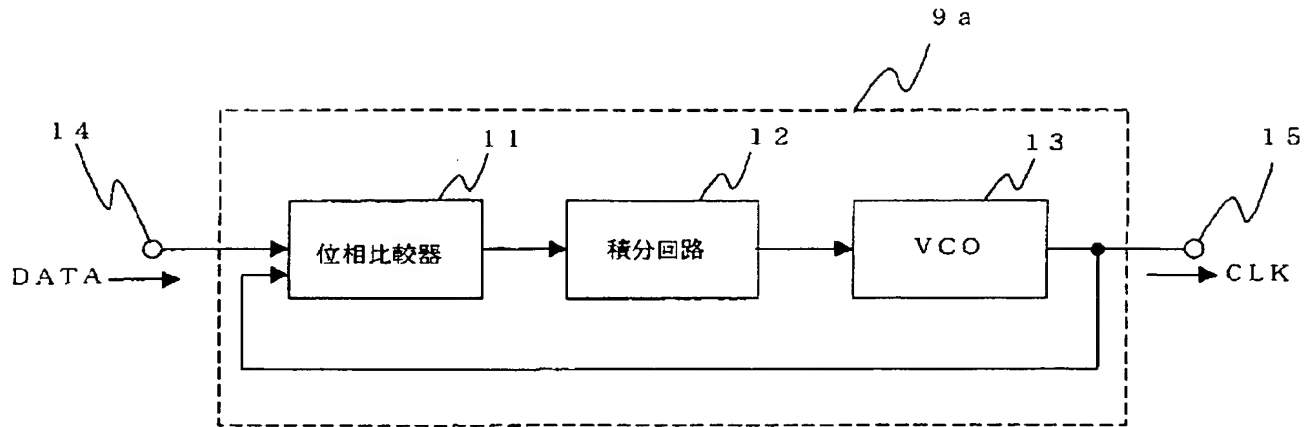
37 CCU
38 第1の機器

39 第2の機器

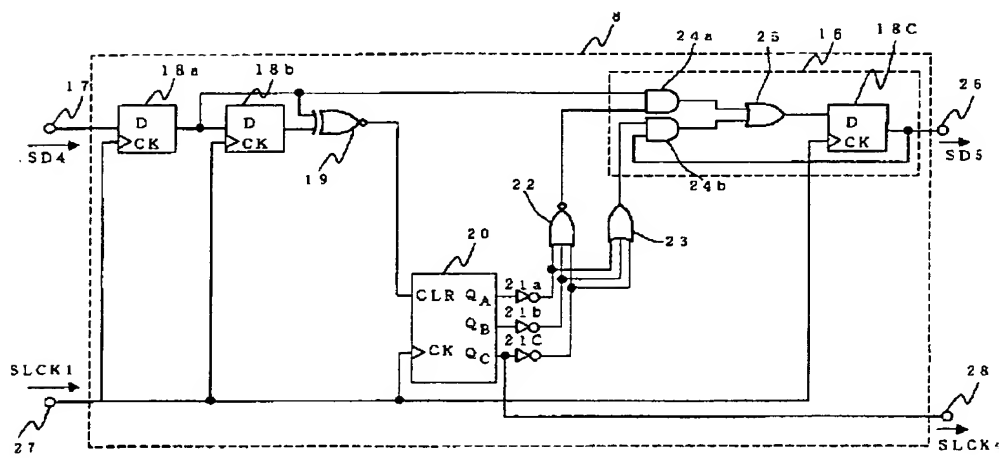
【図1】



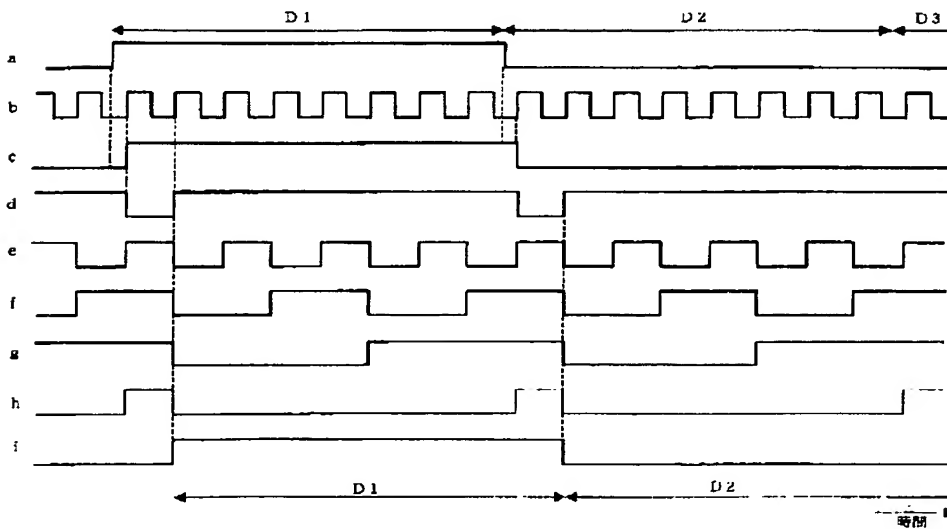
【図 2】



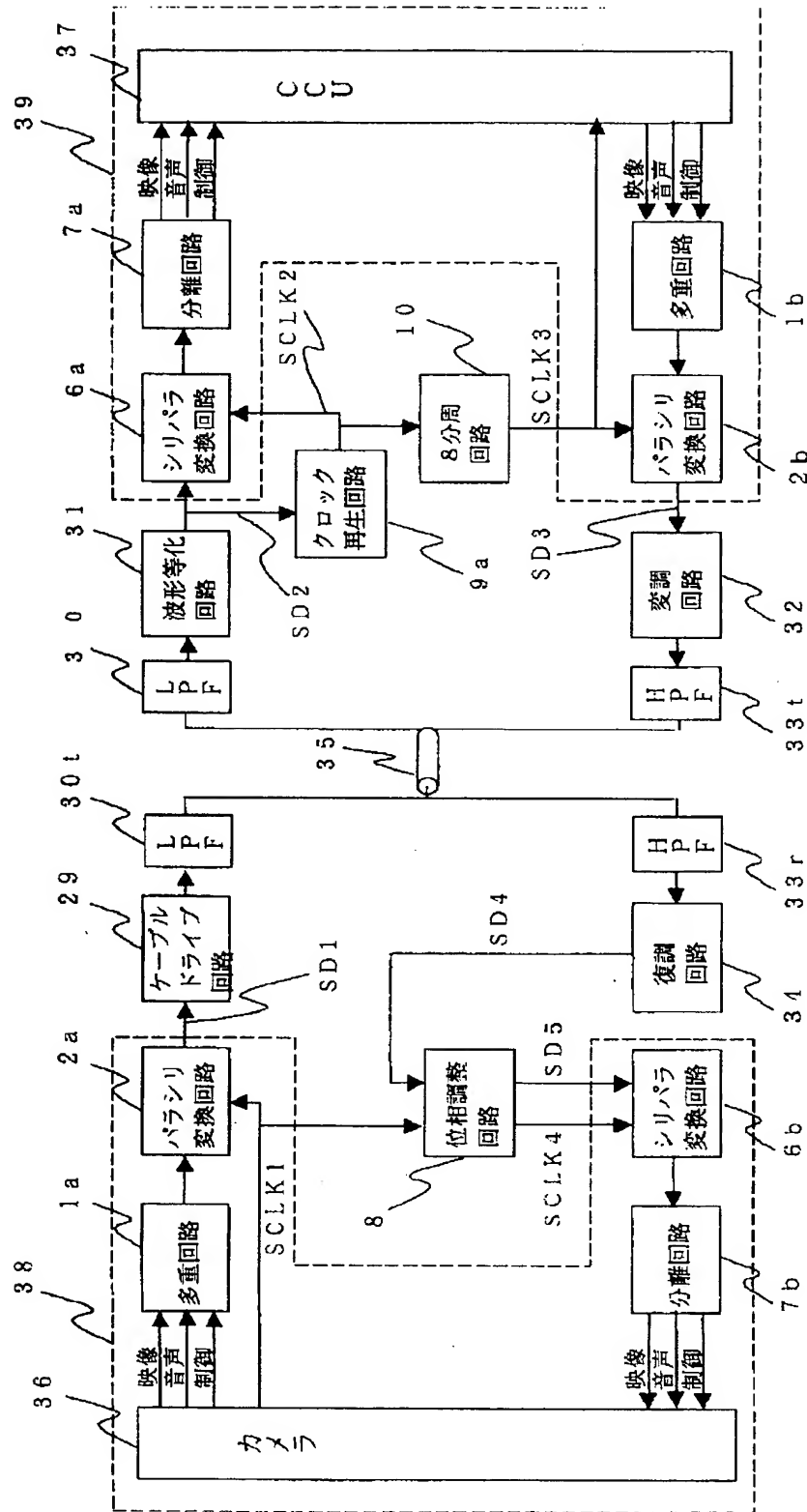
【図 3】



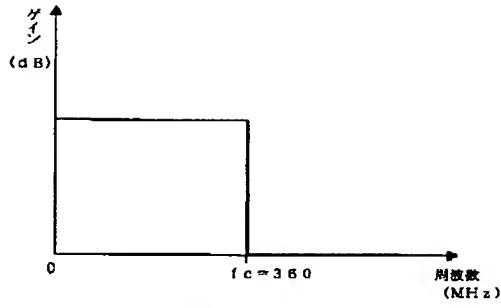
【図 4】



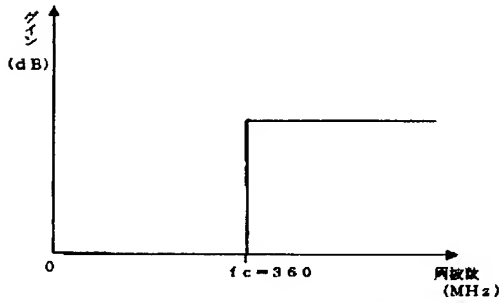
【図5】



【図 6】

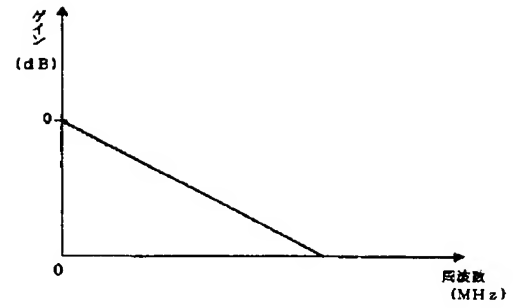


(a) 低域通過フィルタのゲイン-周波数特性

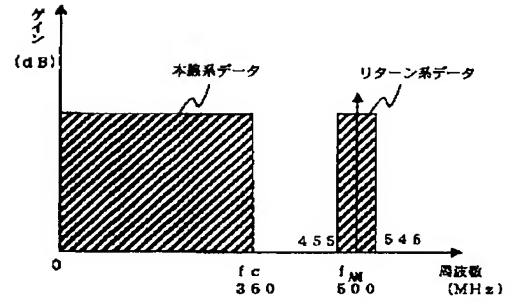


(b) 高域通過フィルタのゲイン-周波数特性

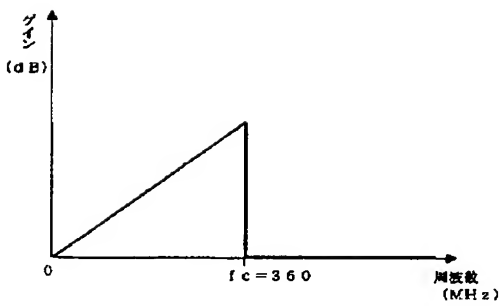
【図 7】



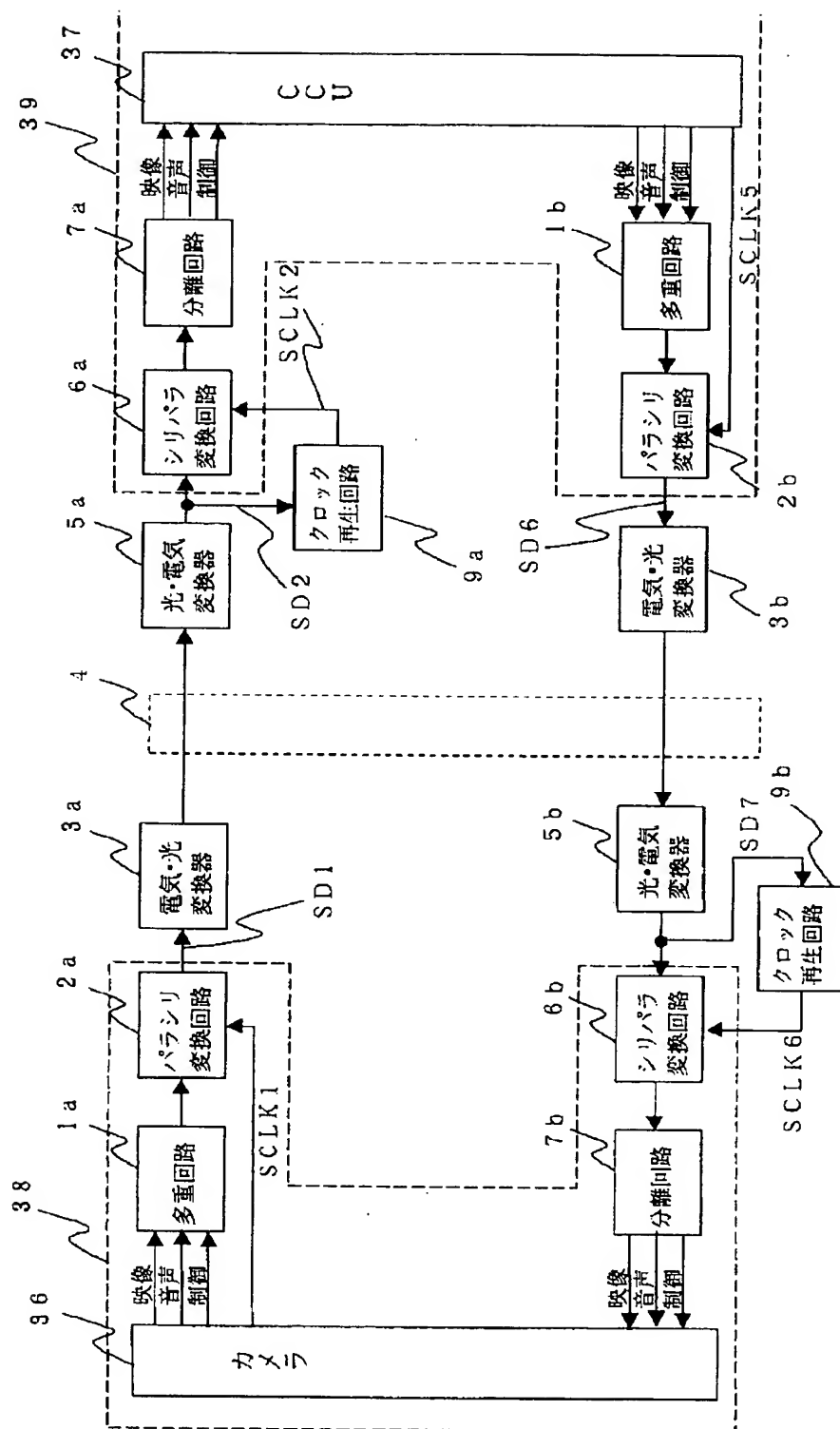
【図 9】



【図 8】



(11)



THIS PAGE BLANK (USPTO)